

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-191290

(43)Date of publication of application : 30.07.1993

(51)Int.Cl.

H03M 1/74

(21)Application number : 04-153182

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 12.06.1992

(72)Inventor : NAKAMURA YASUYUKI
KUMAMOTO TOSHIO

(30)Priority

Priority number : 03259081

Priority date : 07.10.1991

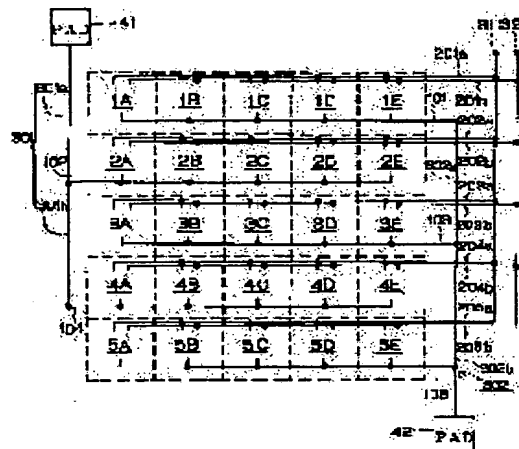
Priority country : JP

(54) D/A CONVERTER

(57)Abstract:

PURPOSE: To improve the linearity by giving the quantity of potential distribution differently in the direction of a 1st analog line adjacent to a 2nd analog line so as to cancel the effect of the potential distribution.

CONSTITUTION: Each of analog ground lines 101-105 is connected to a unit current source provided respectively to current source cells 1A-1E, current source cells 2A-2E, current source cells 3A-3E, current source cells 4A-4E, and current source cells 5A-5E arranged in a row direction. An analog ground line 301 interconnects the left end terminal of the analog ground lines 102, 104 to a pad 41, and an analog ground line 302 interconnects the right end terminal of the analog ground lines 101, 103, 105 to a pad 42. In this case, the current distribution in the row direction in the arrangement of the current source cells has a relation of quantity opposite to each other. That is, the current distribution between the current source cells caused by a distribution resistance in existence in the analog lines is cancelled.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 1 9 1 2 9 0

(43) 公開日 平成 5 年 (1993) 7 月 30 日

(51) Int. Cl.⁵
H03M 1/74

識別記号

庁内整理番号
9065-5J

F I

技術表示箇所

審査請求 未請求 請求項の数 12 (全 14 頁)

(21) 出願番号 特願平 4 - 1 5 3 1 8 2

(22) 出願日 平成 4 年 (1992) 6 月 12 日

(31) 優先権主張番号 特願平 3 - 2 5 9 0 8 1

(32) 優先日 平 3 (1991) 10 月 7 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 0 0 0 0 0 6 0 1 3

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 中村 泰之

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機
株式会社エル・エス・アイ研究所内

(72) 発明者 熊本 敏夫

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機
株式会社エル・エス・アイ研究所内

(74) 代理人 弁理士 高田 守

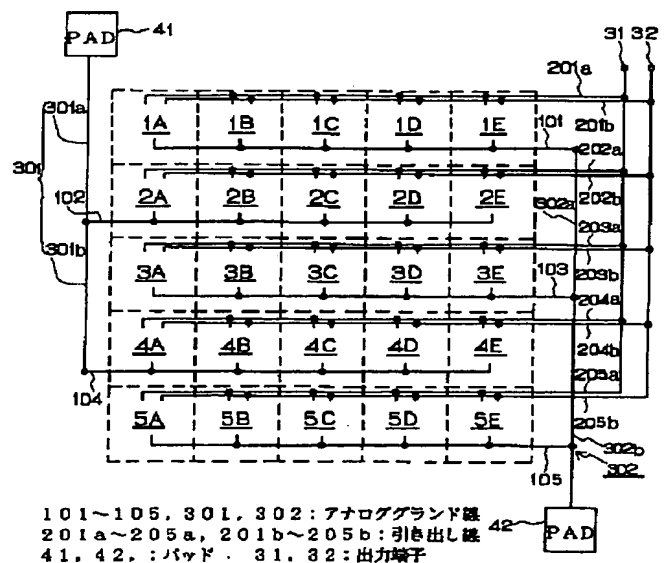
(54) 【発明の名称】 D/A 変換器

(57) 【要約】

【目的】 単位電流源をマトリックス状に配列して構成した D/A 変換器において、入力デジタルコードに対するアナログ電流出力の直線性を向上させる。

【構成】 マトリックスを構成する各電流源セルの配列は、各行に沿って、アナロググランド線 101~105 によって接続される。アナロググランド線 301 はアナロググランド線 102, 104 の左側を、アナロググランド線 302 はアナロググランド線 101, 103, 105 の右側を、それぞれパッド 41, 42 に接続し、接地する。

【効果】 各行において電流分布の大小関係は反対となり、電流分布の影響は相殺される。



【特許請求の範囲】

【請求項 1】 (a) (a-1) 共通端子と第 1 及び第 2 端子を有する切り換えスイッチと、

(a-2) 共通端子に接続された第 1 端と、第 2 端とを有する単位電流源と、

をそれぞれが有し、行列状に配列された複数の相補出力型セルと、

(b) 前記単位電流源の第 2 端の所定のものを共通に接続する複数の第 1 アナログラインと、

(c) 前記第 1 アナログラインの所定のものを共通に固定電位に接続する 2 本の第 2 アナログラインと、

(d) 前記切り換えスイッチの第 1 端子の全てと、前記切り換えスイッチの第 2 端子の全てとに、それぞれ接続された第 1 及び第 2 出力電流端子と、

(e) デジタル信号を受け、前記デジタル信号に基づいて前記切り換えスイッチの切り換えを制御する制御信号を発生し、前記デジタル信号の示す値が増加するにつれて、前記相補出力型セルを順次 1 つづつ稼働させてゆくデコーダと、

を備え、

(b-1) それぞれの前記第 1 アナログラインは、それぞれの行において行方向に並ぶ前記相補出力型セルの前記単位電流源の第 2 端の全てを共通に接続し、

(b-2) 隣合う前記第 1 アナログラインは、異なる端において異なる前記第 2 アナログラインに接続され、

(c-1) 2 本の前記第 2 アナログラインは、列方向に概平行で互いに異なる方向に伸びる、D/A コンバータ。

【請求項 2】 (a) (a-1) 共通端子と第 1 及び第 2 端子を有する切り換えスイッチと、

(a-2) 共通端子に接続された第 1 端と、第 2 端とを有する単位電流源と、

をそれぞれが有し、行列状に配列された複数の相補出力型セルと、

(b) 前記単位電流源の第 2 端の所定のものを共通に接続する複数の第 1 アナログラインと、

(c) 前記第 1 アナログラインの所定のものを共通に固定電位に接続する 2 本の第 2 アナログラインと、

(d) 前記切り換えスイッチの第 1 端子の全てと、前記切り換えスイッチの第 2 端子の全てとに、それぞれ接続された第 1 及び第 2 出力電流端子と、

(e) デジタル信号を受け、前記デジタル信号に基づいて前記切り換えスイッチの切り換えを制御する制御信号を発生し、前記デジタル信号の示す値が増加するにつれて、前記相補出力型セルを順次 1 つづつ稼働させてゆくデコーダと、

を備え、

(b-1) それぞれの前記第 1 アナログラインは、それぞれの列において列方向に並ぶ前記相補出力型セルの前記単位電流源の第 2 端の全てを共通に接続し、

(b-2) 隣合う前記第 1 アナログラインは、異なる端にお

いて異なる前記第 2 アナログラインに接続され、

(c-1) 2 本の前記第 2 アナログラインは、行方向に概平行で互いに異なる方向に伸びる、

D/A コンバータ。

【請求項 3】 (a) (a-1) 共通端子と第 1 及び第 2 端子を有する切り換えスイッチと、

(a-2) 共通端子に接続された第 1 端と、第 2 端とを有する単位電流源と、

をそれぞれが有し、行列状に配列された複数の相補出力型セルと、

(b) 前記単位電流源の第 2 端の所定のものを共通に接続する複数の第 1 及び第 2 アナログラインと、

(c) 前記第 1 アナログラインの所定のものを共通に固定電位に接続する 2 本の第 3 アナログラインと、前記第 2 アナログラインの所定のものを共通に固定電位に接続する 2 本の第 4 アナログラインと、

(d) 前記切り換えスイッチの第 1 端子の全てと、前記切り換えスイッチの第 2 端子の全てとに、それぞれ接続された第 1 及び第 2 出力電流端子と、

20 (e) デジタル信号を受け、前記デジタル信号に基づいて前記切り換えスイッチの切り換えを制御する制御信号を発生し、前記デジタル信号の示す値が増加するにつれて、前記相補出力型セルを順次 1 つづつ稼働させてゆくデコーダと、

を備え、

前記第 1 アナログラインは、

(b-1) 奇数番目のそれぞれの行において、奇数番目の列に属する前記相補出力型セルの前記単位電流源の第 2 端を全てを共通に接続し、

30 (b-2) 偶数番目のそれぞれの行において、偶数番目の列に属する前記相補出力型セルの前記単位電流源の第 2 端を全てを共通に接続し、

前記第 2 アナログラインは、

(b-3) 奇数番目のそれぞれの列において、偶数番目の行に属する前記相補出力型セルの前記単位電流源の第 2 端を全てを共通に接続し、

(b-4) 偶数番目のそれぞれの列において、奇数番目の行に属する前記相補出力型セルの前記単位電流源の第 2 端を全てを共通に接続し、

40 (c-1) 隣合う前記第 1 アナログラインは、異なる端において異なる前記第 3 アナログラインに接続され、

(c-2) 2 本の前記第 3 アナログラインは、列方向に概平行で互いに異なる方向に伸び、

(c-3) 隣合う前記第 2 アナログラインは、異なる端において異なる前記第 4 アナログラインに接続され、

(c-4) 2 本の前記第 4 アナログラインは、行方向に概平行で互いに異なる方向に伸びる、

D/A コンバータ。

【請求項 4】 前記デコーダは、前記デジタル信号の示す値が増加するにつれて前記相補出力型セルを、

(e-1) 第 1 列から最終列へ、

(e-2) それぞれの列において順次第 1 行から最終行へ、と駆動する請求項 1 乃至 3 のいずれかに記載の D/A コンバータ。

【請求項 5】 前記デコードは、前記デジタル信号の示す値が増加するにつれて前記相補出力型セルを、

(e-3) 第 1 行から最終行へ、

(e-4) それぞれの行において順次第 1 列から最終列へ、と駆動する請求項 1 乃至 3 のいずれかに記載の D/A コンバータ。

【請求項 6】 前記デコードは、前記デジタル信号の示す値が増加するにつれて前記相補出力型セルを、

(e-5) 第 1 行に続いて最終行へ、次に第 2 行へ、…と外側の行から内側の行へと交互に、

(e-6) それぞれの行において順次第 1 列から最終列へ、と駆動する請求項 1 乃至 3 のいずれかに記載の D/A コンバータ。

【請求項 7】 前記デコードは、前記デジタル信号の示す値が増加するにつれて前記相補出力型セルを、

(e-7) 第 1 列に続いて最終列へ、次に第 2 列へ、…と外側の列から内側の列へと交互に、

(e-8) それぞれの列において順次第 1 行から最終行へ、と駆動する請求項 1 乃至 3 のいずれかに記載の D/A コンバータ。

【請求項 8】 前記デコードは、前記デジタル信号の示す値が増加するにつれて前記相補出力型セルを、

(e-9) 第 1 列に続いて最終列へ、次に第 2 列へ、…と外側の列から内側の列へと交互に、

(e-10) それぞれの列において内側の行から外側の行へと上下に交互に、と駆動する請求項 1 乃至 3 のいずれかに記載の D/A コンバータ。

【請求項 9】 前記デコードは、前記デジタル信号の示す値が増加するにつれて前記相補出力型セルを、

(e-11) 第 1 行に続いて最終行へ、次に第 2 行へ、…と外側の行から内側の行へと交互に、

(e-12) それぞれの行において内側の列から外側の列へと左右に交互に、

と駆動する請求項 1 乃至 3 のいずれかに記載の D/A コンバータ。

【請求項 10】 前記デコードは、前記デジタル信号の示す値が増加するにつれて前記相補出力型セルを、

(e-13) 前記相補出力型セルが形成する行列の中心を、同じ中心とする複数の輪状の要素に区分し、

(e-14) それぞれの前記輪状の要素において、前記中心を対称点として対称的に順に、

と駆動する請求項 1 乃至 3 のいずれかに記載の D/A コンバータ。

【請求項 11】 前記デコードは、前記デジタル信号の示す値が増加するにつれて前記相補出力型セルを、

(e-15) 前記相補出力型セルが形成する行列の中心から、外側へ向かって螺旋状に順次駆動する請求項 1 乃至 3 のいずれかに記載の D/A コンバータ。

【請求項 12】 前記デコードは、前記デジタル信号の示す値が増加するにつれて前記相補出力型セルを、

(e-16) 前記相補出力型セルが形成する行列の外側から、中心へ向かって螺旋状に順次駆動する請求項 1 乃至 3 のいずれかに記載の D/A コンバータ。

【発明の詳細な説明】

10 【0001】

【産業上の利用分野】 本発明は D/A 変換器に関し、特に行列状に配列されたセル配列を備える電流セルマトリックス形 D/A 変換器に関する。

【0002】

【従来の技術】 図 29 は従来の電流セルマトリックス形 D/A 変換器の一部を構成する、電流源セルの行列状の配置を示す概略図である。以下、行列状の配置において、行、即ち左右の並びについては、上から下へと順に 1, 2, 3 … と番号を付す。また、列、即ち上下の並びについては、左から右へと順に A, B, C, … とアルファベットを付す。図中でこれらは○で囲んで表示される。また行列の中の一つの要素を指定するときには、これらの行を示す数字と、列を示すアルファベットとを組み合わせて表記する。例えば、左上の隅に位置するセルは“1A”と表記される。あるいはセル中にそのように記載する場合もある。

【0003】 5 行 5 列に配置された電流源セル 1A, 1B, …, 5D, 5E はそれぞれが単位電流源 20 と切り換えスイッチ 21 とを備えている。図 29 においては、30 簡単のため、電流源セル 1A にのみ参照符号を記した。

【0004】 単位電流源 20 の一方は、行方向に伸びるアナログ電源線（アナロググランド線）101～105 によって行方向に接続され、更に列方向に伸びるアナロググランド線 300 によって接地される。単位電流源 20 の他方は切り換えスイッチ 21 及び引き出し線 201a～205a, 201b～205b のそれぞれを介して、第 1 及び第 2 出力端子 31, 32 に接続される。第 1 及び第 2 出力端子 31, 32 は、互いに相補的に出力電流を外部に供給する。

40 【0005】 この構成による D/A 変換器は、電流源セル 1A, 1B, …, 5D, 5E が入力デジタルコードに応じてその内部の切り換えスイッチ 21 を作動させ、単位電流源 20 を第 1 及び第 2 出力端子 31, 32 のいずれかに接続する。これによって、第 1 出力端子 31 には入力デジタルコードに応じた大きさの電流が流れる、D/A 変換が行われることになる。

【0006】 図 30 は図 29 を簡略化した図であり、アナロググランド線 300, 101～105 及び引き出し線 201a～205a, 201b～205b の接続関係を明瞭にするため、各セルにおいて単位電流源 20 と切

り換えスイッチ 21 の記載を省き、各セルの輪郭を破線で示した。また、通常、アナロググランド線 300 によって接続されるアナロググランド線 101 ~ 105 は更にパッド 40 に共通に接続された上で接地されるため、パッド 40 に接続されていることで接地されていることを示している。

【0007】

【発明が解決しようとする課題】しかしながら、従来の電流セルマトリックス形 D/A 変換器はその電流源セルの一方を接続するアナロググランド線 101 ~ 105 を一方向に、例えば図 29 及び図 30 では右側に、引き出してアナロググランド線 300 によって共通に接続したのち、同一方向にある 1 つまたは複数個のパッドに接続する。

【0008】ところで、単位電流源 20 は一般には全ての電流源セルに共通に与えられるバイアス電圧によって駆動され、その供給する電流の大きさはバイアス電圧に依存する。したがって、アナロググランド線 101 ~ 105 における電位に分布があった場合にはバイアス電圧が実効的に変動し、出力端子 31, 32 から外部に供給される電流は必ずしも単位電流源 20 の整数倍とはならない。

【0009】例えばアナロググランド線 101 で接続されたセル 1A ~ 1E の近傍の等価回路は図 31 に示すようになり、アナロググランド線 101 にはグランド線抵抗 14a ~ 14d で示される分布抵抗が存在している。このグランド線抵抗 14a ~ 14d に起因してアナロググランド線 101 には、セル 1A からセル 1E へ向かって低くなる電位分布が生じる。

【0010】したがって、各セルにおける単位電流源 20 のバイアス条件は異なり、単位電流源 20 の出力電流は、そのセルの位置に依存して異なる。図 31 の最下段に概念的に示されるように、セル 1A からセル 1E へ向かって大きくなる電流分布が生じる。

【0011】逆に、もしアナロググランド線 101 がその左側で接地された場合には、図 32 に示されるように、アナロググランド線 101 には、セル 1A からセル 1E へ向かって高くなる電位分布が生じ、図 32 の最下段に概念的に示されるように、セル 1A からセル 1E へ向かって小さくなる電流分布が生じる。

【0012】このような事情は列方向に並ぶセル間でも同様である。アナロググランド線 300 はアナロググランド線 101 ~ 105 をこれらの右側で接続し、かつ自身がその下部でパッド 40 において接地される。このため、アナロググランド線 300 において生じている分布抵抗に起因して、列方向においてもセル 1A からセル 5A に向かって増大するような電流分布が生じる。

【0013】図 33 はこれを概念的に示した図であり、同図 (a) は行方向の、同図 (b) は列方向の、それぞれ電流分布を示したものである。但し、実際には各セル

において単位電流源 20 はディスクリートに設けられるので、その電流分布は図 34 に示すようになる。なお枠内に示された数値は、グランド線抵抗 14a ~ 14d が零である場合に単位電流源 20 が流す電流値を 5 としたとき、実際に各セルが有する単位電流源 20 が流す電流値を示している。

【0014】従来の D/A コンバータでは、このように行方向にも列方向にも単位電流源 20 が流す電流値には差異が生じていたため、入力デジタルコードが表す値に対する実際のアナログ出力は理想的なアナログ出力に対して直線性が劣化するという問題があった。

【0015】本発明は上記のような問題点を解決するためになされたものであり、D/A 変換器の直線性を向上することを目的とする。

【0016】

【課題を解決するための手段】この発明にかかる D/A 変換器の第 1 の態様は、(a) (a-1) 共通端子と第 1 及び第 2 端子を有する切り換えスイッチと、(a-2) 共通端子に接続された第 1 端と、第 2 端とを有する単位電流源と、をそれぞれが有し、行列状に配列された複数の相補出力型セルと、(b) 単位電流源の第 2 端の所定のものを共通に接続する複数の第 1 アナログラインと、(c) 第 1 アナログラインの所定のものを共通に固定電位に接続する 2 本の第 2 アナログラインと、(d) 切り換えスイッチの第 1 端子の全てと、切り換えスイッチの第 2 端子の全てとに、それぞれ接続された第 1 及び第 2 出力電流端子と、(e) デジタル信号を受け、デジタル信号に基づいて切り換えスイッチの切り換えを制御する制御信号を発生し、デジタル信号の示す値が増加するにつれて、相補出力型セルを順次 1 つずつ稼働させてゆくデコーダと、を備える。そして、(b-1) それぞれの第 1 アナログラインは、それぞれの行において行方向に並ぶ相補出力型セルの単位電流源の第 2 端の全てを共通に接続し、(b-2) 隣合う第 1 アナログラインは、異なる端において異なる第 2 アナログラインに接続され、(c-1) 2 本の第 2 アナログラインは、列方向に概平行で互いに異なる方向に伸びる。

【0017】この発明にかかる D/A 変換器の第 2 の態様は、(a) (a-1) 共通端子と第 1 及び第 2 端子を有する切り換えスイッチと、(a-2) 共通端子に接続された第 1 端と、第 2 端とを有する単位電流源と、をそれぞれが有し、行列状に配列された複数の相補出力型セルと、

(b) 単位電流源の第 2 端の所定のものを共通に接続する複数の第 1 アナログラインと、(c) 第 1 アナログラインの所定のものを共通に固定電位に接続する 2 本の第 2 アナログラインと、(d) 切り換えスイッチの第 1 端子の全てと、切り換えスイッチの第 2 端子の全てとに、それぞれ接続された第 1 及び第 2 出力電流端子と、

(e) デジタル信号を受け、デジタル信号に基づいて切り換えスイッチの切り換えを制御する制御信号を発

生し、ディジタル信号の示す値が増加するにつれて、相補出力型セルを順次 1 つずつ稼働させてゆくデコーダと、を備える。そして、(b-1) それぞれの第 1 アナログラインは、それぞれの列において列方向に並ぶ相補出力型セルの単位電流源の第 2 端の全てを共通に接続し、(b-2) 隣合う第 1 アナログラインは、異なる端において異なる第 2 アナログラインに接続され、(c-1) 2 本の第 2 アナログラインは、行方向に概平行で互いに異なる方向に伸びる。

【0018】この発明にかかる D/A 変換器の第 3 の態様は、(a) (a-1) 共通端子と第 1 及び第 2 端子を有する切り換えスイッチと、(a-2) 共通端子に接続された第 1 端と、第 2 端とを有する単位電流源と、をそれぞれが有し、行列状に配列された複数の相補出力型セルと、

(b) 単位電流源の第 2 端の所定のものを共通に接続する複数の第 1 及び第 2 アナログラインと、(c) 第 1 アナログラインの所定のものを共通に固定電位に接続する 2 本の第 3 アナログラインと、第 2 アナログラインの所定のものを共通に固定電位に接続する 2 本の第 4 アナログラインと、(d) 切り換えスイッチの第 1 端子の全てと、切り換えスイッチの第 2 端子の全てとに、それぞれ接続された第 1 及び第 2 出力電流端子と、(e) デジタル信号を受け、ディジタル信号に基づいて切り換えスイッチの切り換えを制御する制御信号を発生し、ディジタル信号の示す値が増加するにつれて、相補出力型セルを順次 1 つずつ稼働させてゆくデコーダと、を備える。そして、第 1 アナログラインは、(b-1) 奇数番目のそれぞれの行において、奇数番目の列に属する相補出力型セルの単位電流源の第 2 端を全てを共通に接続し、(b-2) 偶数番目のそれぞれの行において、偶数番目の列に属する相補出力型セルの単位電流源の第 2 端を全てを共通に接続し、第 2 アナログラインは、(b-3) 奇数番目のそれぞれの列において、偶数番目の行に属する相補出力型セルの単位電流源の第 2 端を全てを共通に接続し、(b-4) 偶数番目のそれぞれの列において、奇数番目の行に属する相補出力型セルの単位電流源の第 2 端を全てを共通に接続する。そして、(c-1) 隣合う第 1 アナログラインは、異なる端において異なる第 3 アナログラインに接続され、(c-2) 2 本の第 3 アナログラインは、列方向に概平行で互いに異なる方向に伸び、(c-3) 隣合う第 2 アナログラインは、異なる端において異なる第 4 アナログラインに接続され、(c-4) 2 本の第 4 アナログラインは、行方向に概平行で互いに異なる方向に伸びる。

【0019】この発明にかかる D/A 変換器におけるデコーダは、ディジタル信号の示す値が増加するにつれて相補出力型セルを、(e-1) 第 1 列から最終列へ、(e-2) それぞれの列において順次第 1 行から最終行へ、と駆動する。

【0020】あるいは(e-3) 第 1 行から最終行へ、(e-4) それぞれの行において順次第 1 列から最終列へ、と

駆動する。

【0021】あるいは(e-5) 第 1 行に続いて最終行へ、次に第 2 行へ、…と外側の行から内側の行へと交互に、(e-6) それぞれの行において順次第 1 列から最終列へ、と駆動する。

【0022】あるいは(e-7) 第 1 列に続いて最終列へ、次に第 2 列へ、…と外側の列から内側の列へと交互に、(e-8) それぞれの列において順次第 1 行から最終行へ、と駆動する。

【0023】あるいは(e-9) 第 1 列に続いて最終列へ、次に第 2 列へ、…と外側の列から内側の列へと交互に、(e-10) それぞれの列において内側の行から外側の行へと上下に交互に、と駆動する。

【0024】あるいは(e-11) 第 1 行に続いて最終行へ、次に第 2 行へ、…と外側の行から内側の行へと交互に、(e-12) それぞれの行において内側の列から外側の列へと左右に交互に、と駆動する。

【0025】あるいは(e-13) 相補出力型セルが形成する行列の中心を、同じ中心とする複数の輪状の要素に区分し、(e-14) それぞれの輪状の要素において、中心を対称点として対称的に順に、と駆動する。

【0026】あるいは(e-15) 相補出力型セルが形成する行列の中心から、外側へ向かって螺旋状に順次駆動する。

【0027】あるいは(e-16) 相補出力型セルが形成する行列の外側から、中心へ向かって螺旋状に順次駆動する。

【0028】

【作用】この発明の第 1 及び第 2 の態様において第 2 アナログラインは、隣接する第 1 アナログラインにおいて電位分布の大小関係を互いに異なる方向に与えるので、その電位分布の効果は相殺される。

【0029】また、この発明の第 3 の態様において、第 3 アナログラインは隣接する第 1 アナログラインにおいて電位分布の大小関係を互いに異なる方向に与え、第 4 アナログラインは隣接する第 2 アナログラインにおいて電位分布の大小関係を互いに異なる方向に与えるので、これらの電位分布の効果は相殺される。

【0030】

【実施例】第 1 実施例。図 1 は本発明の第 1 実施例に係る電流セルマトリックス形 D/A 変換器の一部を構成する、電流源セルの行列状の配置を示す概略図である。

【0031】5 行 5 列に配置された電流源セル 1 A, 1 B, …, 5 E はそれぞれが単位電流源 2 0 と切り換えスイッチ 2 1 とを備えているが、アナロググランド線 1 0 1 ~ 1 0 5, 3 0 1, 3 0 2 及び引き出し線 2 0 1 a ~ 2 0 5 a, 2 0 1 b ~ 2 0 5 b の接続関係を明瞭にするため、各セルにおいて単位電流源 2 0 と切り換えスイッチ 2 1 の記載を省き、各セルの輪郭を破線で示した。

【0032】アナロググランド線 1 0 1 ~ 1 0 5 はそれ

ぞれが、行方向に配列された電流源セル 1 A ~ 1 E、電流源セル 2 A ~ 2 E、電流源セル 3 A ~ 3 E、電流源セル 4 A ~ 4 E、電流源セル 5 A ~ 5 E の備える単位電流源 20 の一方を接続している。

【0033】図 2 に単位電流源 20 及び切り換えスイッチ 21 の構成例をセル 1 A に則して示す。トランジスタ Q1 のドレインにはトランジスタ Q2、Q3 のソースが共通して接続され、トランジスタ Q1 のソースはアナロググランド線 101 に接続される。トランジスタ Q2、Q3 のゲートにはそれぞれ互いに相補的な制御信号 ϕ 、 ϕ^* (ϕ^* は論理反転信号を示す。以下同じ。) が入力され、トランジスタ Q2、Q3 のドレインには、それぞれ引き出し線 201 a、201 b が接続される。トランジスタ Q2 及びトランジスタ Q3 は切り換えスイッチ 21 を構成し、トランジスタ Q1 は単位電流源 20 を構成している。

【0034】トランジスタ Q1 のゲートには全てのセルに共通して印加されるバイアス電圧 V_b が印加され、電位差 V_{gs} によってトランジスタ Q1 が流す電流の値が左右される。したがってアナロググランド線 101 の電位が異なれば、出力される電流の値も異なり、電流分布が生じることになる。

【0035】図 3 に本発明の第 1 実施例に係る電流セルマトリックス形 D/A 変換器の全体構成を示す。電流源セルの行列状の配置は、簡単の為に 4 × 4 の行列として示しているが、図 1 の様に 5 × 5 の行列でも同様に構成される。

【0036】行デコーダ 80 及び列デコーダ 90 に入力されたデジタル入力は、入力デジタルコードの内容であって、それぞれ行制御信号 81、列制御信号 91 に変換され、これらは更に制御信号 ϕ 、 ϕ^* に変換されて切り換えスイッチ 21 を、即ちトランジスタ Q1、Q2 の動作を制御する。

【0037】図 1 に戻り、アナロググランド線 301 は、アナロググランド線 102、104 の左端をパッド 41 に接続している。また、アナロググランド線 302 は、アナロググランド線 101、103、105 の右端をパッド 42 に接続している。

【0038】このように接続された電流源セルの配置では、行方向の電流分布は概念的には図 4 (a) のように、互いに逆向きの大小関係を有することになる。これは、1 行目の電流源セル 1 A ~ 1 E、3 行目の電流源セル 3 A ~ 3 E、5 行目の電流源セル 5 A ~ 5 E に関しては図 3 1 と、2 行目の電流源セル 2 A ~ 2 E、4 行目の電流源セル 4 A ~ 4 E に関しては図 3 2 と、それぞれ同様の電流分布を有するためである。

【0039】一方、アナロググランド線 301 のうち、アナロググランド線 102 とパッド 41 を接続するアナロググランド線 301 a の方が、アナロググランド線 102 とアナロググランド線 104 とを接続するアナログ

グランド線 301 b よりもパッド 41 に近い。更に、アナロググランド線 302 のうち、アナロググランド線 103 とアナロググランド線 105 とを接続するアナロググランド線 302 b の方が、アナロググランド線 101 とアナロググランド線 103 とを接続するアナロググランド線 302 a よりもパッド 42 に近い。

【0040】したがって、アナロググランド線 301 a、301 b、302 a、302 b において生じるグランド線抵抗のため、列方向の電流分布は概念的には図 4 (b) のように示される。

【0041】図 5 (a)、(b) はそれぞれ、各セルの有する単位電流源 20 の流す電流の値が、行方向及び列方向においてどのように異なるかを示したものであり、図 4 (a)、(b) に対応している。図 5 (a)、

(b) のいずれも、枠内に示された数値は、グランド線抵抗が零である場合に単位電流源 20 が流す電流値を 5 としたとき、実際に各セルが有する単位電流源 20 が流す電流値を示している。

【0042】したがって、各セルが選択された場合にその有する単位電流源 20 が流す電流は、図 5 (a)、

(b) に示された値を各セルにおいて加算した値で与えられる。これを図 6 に示す。図 6 においては、グランド線抵抗が零である場合に単位電流源 20 が流す電流値は 10 として与えられる。

【0043】この構成による D/A 変換器では、そのアナロググランド線 101、103、105 とアナロググランド線 102、104 とは互いに相反する行方向に電流分布を形成する。しかも、アナロググランド線 301 とアナロググランド線 302 とは互いに相反する列方向に電流分布を形成する。このため、各単位電流源および各電流源配列間に存在している出力電流分布を相殺することができ、アナログ出力の直線性を改善することができる。

【0044】これを具体的に説明する。図 1 に示されるように構成された電流源セルの配列において、入力デジタルコードの示す値が増大するにつれてどのような順序でセルを選択して出力端子 31 (又は 32) に接続するかを、図 7 に示す。図 7 において各セルを示す矩形の中に記された数字は、入力デジタルコードの示す値が増大するにつれて選択されるセルの順序を示している。例えば入力デジタルコードの示す値が 3 であれば、電流源セル 1 A、2 A、3 A の 3 つが選択されることが示されている。

【0045】即ち、入力デジタルコードの示す値が増大するにつれてセル 1 A、2 A、…、5 A、1 B、2 B、…、5 B、…、1 E、2 E、…、5 E の順序にセルが選択されてゆく。したがって、出力端子 31 (又は 32) に流れる電流は、図 6 からわかるように 2.7、10.0、…、6.3、7.9、…、7.0、…、6.7、6.0、…、1.0 と増大してゆく。

【 0 0 4 6 】これをグラフにしたのが図 8 である。それぞれの矩形のブロックの高さは、各セルが流す電流値に相当する。入力デジタルコードが増大するにつれてアナログ出力も増大し、実線で示された実出力 1 6 は破線で示された理想的な出力 1 5、即ち入力デジタルコードに比例した値とほぼ同じカーブを呈していることがわかる。

【 0 0 4 7 】これを従来の場合と比較する。従来の電流源セルの配置では、各セルが選択された場合にその有する単位電流源 2 0 が流す電流は、図 3 4 を基にして図 9 のように与えられる。そして、図 7 にしたがってセル 1 A, 2 A, ..., 5 A, 1 B, 2 B, ..., 5 B, ..., 1 E, 2 E, ..., 5 E の順序にセルが選択されてゆくと、出力端子 3 1 (又は 3 2) に流れる電流は、2, 3, ..., 6, 3, 4, ..., 7, ..., 6, 7, ..., 1 0 と増大してゆく。

【 0 0 4 8 】これをグラフにすると図 1 0 のようになる。入力デジタルコードが増大するにつれアナログ出力も増大するが、実出力 1 6 と理想的な出力 1 5 とはかなり不一致が生じていることが分かる。換言すれば、第 1 実施例のほうが、従来の場合と比較して D/A 変換の直線性に優れていることが分かる。

【 0 0 4 9 】各セルの選択順序は図 7 に示したパターンのみならず、種々のパターンが考えられる。それらの例を図 1 1 乃至図 1 8 に示す。これらの選択順序にしたがって各セルを選択し、その有する電流源を駆動させた場合の入力デジタルコードとアナログ出力との関係は、以下に述べる他の実施例において説明することにする。

【 0 0 5 0 】第 2 実施例。図 1 9 は本発明の第 2 実施例に係る電流セルマトリックス形 D/A 変換器の一部を構成する、電流源セルの行列状の配置を示す概略図である。

【 0 0 5 1 】図 1 と同様に、アナロググランド線 1 1 1 ~ 1 1 5, 3 1 1, 3 1 2 及び引き出し線 2 0 1 a ~ 2 0 5 a, 2 0 1 b ~ 2 0 5 b の接続関係を明瞭にするため、5 行 5 列に配置された電流源セル 1 A, 1 B, ..., 5 D, 5 E のそれぞれが備える単位電流源 2 0 と切り換えスイッチ 2 1 の記載を省き、各セルの輪郭を破線で示した。

【 0 0 5 2 】アナロググランド線 1 1 1 ~ 1 1 5 はそれぞれが、列方向に配列された電流源セル 1 A ~ 5 A、電流源セル 1 B ~ 5 B、電流源セル 1 C ~ 5 C、電流源セル 1 D ~ 5 D、電流源セル 1 E ~ 5 E の備える単位電流源 2 0 の一方を接続している。

【 0 0 5 3 】アナロググランド線 3 1 1 は、アナロググランド線 1 1 1, 1 1 3, 1 1 5 の上端をパッド 4 3 に接続している。また、アナロググランド線 3 1 2 は、アナロググランド線 1 1 2, 1 1 4 の下端をパッド 4 4 に接続している。

【 0 0 5 4 】このように接続された電流源セルの配置で

は、列方向の電流分布は概念的には図 2 0 (b) のように、互いに逆向きの大小関係を有することになる。

【 0 0 5 5 】一方、アナロググランド線 3 1 2 のうち、アナロググランド線 1 1 2 とパッド 4 4 を接続するアナロググランド線 3 1 2 a の方が、アナロググランド線 1 1 2 とアナロググランド線 1 1 4 とを接続するアナロググランド線 3 1 2 b よりもパッド 4 4 に近い。更に、アナロググランド線 3 1 1 のうち、アナロググランド線 1 1 3 とアナロググランド線 1 1 5 とを接続するアナロググランド線 3 1 1 b の方が、アナロググランド線 1 1 1 とアナロググランド線 1 1 3 とを接続するアナロググランド線 3 1 1 a よりもパッド 4 3 に近い。

【 0 0 5 6 】したがって、アナロググランド線 3 1 1 a, 3 1 1 b, 3 1 2 a, 3 1 2 b において生じるグランド線抵抗のため、行方向の電流分布は概念的には図 2 0 (a) のように示される。

【 0 0 5 7 】図 2 1 (a), (b) はそれぞれ、各セルの有する単位電流源 2 0 の流す電流の値が、行方向及び列方向においてどのように異なるかを示したものであり、図 2 0 (a), (b) に対応している。図 2 1

(a), (b) のいずれも、枠内に示された数値は、グランド線抵抗が零である場合に単位電流源 2 0 が流す電流値を 5 としたとき、実際に各セルが有する単位電流源 2 0 が流す電流値を示している。

【 0 0 5 8 】第 2 実施例はその構成が、第 1 実施例において行と列とを入れ換えた構成となっているので、電流分布もそのようになっている。つまり、図 4 (a),

(b) はそれぞれ図 2 0 (b), (a) に対応し、図 5 (a), (b) はそれぞれ図 2 1 (b), (a) に対応している。

【 0 0 5 9 】図 2 2 に、各セルが選択された場合にその有する単位電流源 2 0 が流す電流を示す。これらは図 2 1 (a), (b) に示された値を各セルにおいて加算した値で与えられる。図 2 2 においては、グランド線抵抗が零である場合に単位電流源 2 0 が流す電流値は 1 0 として与えられる。

【 0 0 6 0 】図 1 9 に示されるように構成された電流源セルの配列において、入力デジタルコードの示す値が増大するにつれて図 1 2 のような順序でセルを選択して出力端子 3 1 (又は 3 2) に接続する場合を考える。

【 0 0 6 1 】即ち、入力デジタルコードの示す値が増大するにつれてセル 1 A, 1 B, ..., 1 E, 2 A, 2 B, ..., 2 E, ..., 5 A, 5 B, ..., 5 E の順序にセルが選択されてゆく。したがって、出力端子 3 1 (又は 3 2) に流れる電流は図 2 2 からわかるように、6, 7, 6, ..., 1 0, 5, 7, 7, ..., 9, ..., 2, 7, 1 0, 6 と増大してゆく。

【 0 0 6 2 】これをグラフにしたのが図 2 3 である。図 8 と同様に、それぞれの矩形のブロックの高さは各セルが流す電流値に相当する。入力デジタルコードが増大

するにつれアナログ出力も増大し、実出力 16 は理想的な出力 15、即ち入力デジタルコードに比例した値とほぼ同じカーブを呈している。

【0063】従来の電流源セルの配置において図 12 のような順序でセルを選択した場合には、出力端子 31 (又は 32) に流れる電流は、2, 3, ..., 6, 3, 4, ..., 7, ..., 6, 7, ..., 10 と増大してゆき、図 8 と同じグラフでそのアナログ出力が示される。

【0064】したがって、第 2 実施例においても従来の場合と比較して D/A 変換の直線性が改善されていることが分かる。

【0065】第 3 実施例。図 2.4 は本発明の第 3 実施例に係る電流セルマトリックス形 D/A 変換器の一部を構成する、電流源セルの行列状の配置を示す概略図である。

【0066】図 1 と同様に、アナロググランド線 121 ~ 125, 131 ~ 135, 321 ~ 324 及び引き出し線 201a ~ 205a, 201b ~ 205b の接続関係を明瞭にするため、5 行 5 列に配置された電流源セル 1A, 1B, ..., 5D, 5E のそれぞれが備える単位電流源 20 と切り換えスイッチ 21 の記載を省き、各セルの輪郭を破線で示した。

【0067】アナロググランド線 121 ~ 125 はそれぞれが、電流源セル 2A, 4A を、電流源セル 1B, 3B, 5B を、電流源セル 2C, 4C を、電流源セル 1D, 3D, 5D を、電流源セル 2E, 4E を、これらが備える単位電流源 20 の一方において接続している。

【0068】アナロググランド線 131 ~ 135 はそれぞれが、電流源セル 1A, 1C, 1E を、電流源セル 2B, 2D を、電流源セル 3A, 3C, 3E を、電流源セル 4B, 4D を、電流源セル 5A, 5C, 5E を、これらが備える単位電流源 20 の一方において接続している。

【0069】アナロググランド線 321 は、アナロググランド線 121, 123, 125 の下端をパッド 46 に接続している。また、アナロググランド線 322 は、アナロググランド線 122, 124 の上端をパッド 45 に接続している。

【0070】アナロググランド線 324 は、アナロググランド線 131, 133, 135 の右端をパッド 47 に接続している。また、アナロググランド線 323 は、アナロググランド線 132, 134 の左端をパッド 44 に接続している。

【0071】このように接続された電流源セルの配置では、その電位分布は第 1 及び第 2 実施例で示された電位分布が合成されたようになる。

【0072】まず、アナロググランド線 322 のうち、アナロググランド線 124 とパッド 45 を接続するアナロググランド線 322b の方が、アナロググランド線 122 とアナロググランド線 124 とを接続するアナログ

グランド線 322a よりもパッド 45 に近い。更に、アナロググランド線 321 のうち、アナロググランド線 121 とアナロググランド線 123 とを接続するアナロググランド線 321a の方が、アナロググランド線 123 とアナロググランド線 125 とを接続するアナロググランド線 321b よりもパッド 46 に近い。

【0073】次に、アナロググランド線 323 のうち、アナロググランド線 132 とパッド 44 を接続するアナロググランド線 323a の方が、アナロググランド線 132 とアナロググランド線 134 とを接続するアナロググランド線 323b よりもパッド 44 に近い。更に、アナロググランド線 324 のうち、アナロググランド線 133 とアナロググランド線 135 とを接続するアナロググランド線 324b の方が、アナロググランド線 131 とアナロググランド線 133 とを接続するアナロググランド線 324a よりもパッド 47 に近い。

【0074】従って、アナロググランド線 121 ~ 125, 131 ~ 135, 321 ~ 324 において生じるグランド線抵抗のため、行方向の電流分布及び列方向の電流分布はそれぞれ図 25 (a), (b) のように示される。

【0075】図 26 に、各セルが選択された場合にその有する単位電流源 20 が流す電流を示す。これらは図 25 (a), (b) に示された値を各セルにおいて加算した値で与えられる。図 26 においてグランド線抵抗が零である場合に単位電流源 20 が流す電流値は 10 として与えられる。

【0076】図 24 に示されるように構成された電流源セルの配列において、入力デジタルコードの示す値が増大するにつれて図 13 のような順序でセルを選択して出力端子 31 (又は 32) に接続する場合を考える。

【0077】即ち、入力デジタルコードの示す値が増大するにつれてセル 1A, 2A, ..., 5A, 1E, 2E, ..., 5E, 1B, 2B, ..., 5B, 1D, 2D, ..., 5D, 1C, 2C, ..., 2E の順序にセルが選択されてゆく。従って、出力端子 31 (又は 32) に流れる電流は図 26 からわかるように、3. 4, 7. 5, ..., 6. 7, 6. 7, 4. 2, ..., 10, 7. 5, 10, ..., 4. 4, 10, 7. 5, ..., 6. 7, 5. 1, 5. 9, ..., 8. 4 と増大してゆく。

【0078】これをグラフにしたのが図 27 である。図 8 と同様に、それぞれの矩形のブロックの高さは各セルが流す電流値に相当する。入力デジタルコードが増大するにつれアナログ出力も増大し、実出力 16 は理想的な出力 15、即ち入力デジタルコードに比例した値とほぼ同じカーブを呈している。

【0079】従来の電流源セルの配置でも、図 13 のような順序でセルを選択した場合には、出力端子 31 (又は 32) に流れる電流は図 9 からわかるように、2,

3, ..., 6; 6, 7, ..., 10, 3, 4, ..., 7, 5,

6, ..., 9, 4, 5, ..., 8と増大してゆき、そのアナログ出力は図 28 に示すようになる。

【0080】したがって、第3実施例においても従来の場合と比較してD/A変換の直線性が改善されていることが分かる。

【0081】なお、図 11 乃至図 18 に示した選択順序は上記全ての実施例において本発明の効果を奏するものであり、必ずしも実施例 1, 2, 3 は、それぞれ図 7、図 12、図 13 の選択順序を採用しなければならないものではない。

【0082】また、以上の実施例では電流源セルを 5 行 5 列の行列状に配列した場合について説明したが、これに限定せず N 行 N 列の行列状に配列した場合も同様に実施でき、その効果を奏することはもちろんである。

【0083】

【発明の効果】以上に説明したようにこの発明によれば、アナログラインに存在する分布抵抗に起因する、電流源セル間の電流分布を相殺することができるので、D/A変換器の直線性を改善することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 実施例を示す構成図である。

【図 2】各セルの内部構成を示す回路図である。

【図 3】第 1 実施例の全体構成を示す概略図である。

【図 4】第 1 実施例における各セルの電流分布を示す説明図である。

【図 5】第 1 実施例における各セルの電流分布を示す説明図である。

【図 6】第 1 実施例における各セルの電流分布を示す説明図である。

【図 7】各セルの選択順序の一例を示す説明図である。

【図 8】第 1 実施例の動作を説明するグラフである。

【図 9】従来の技術における各セルの電流分布を示す説明図である。

【図 10】従来の技術の動作を説明するグラフである。

【図 11】各セルの選択順序の一例を示す説明図である。

【図 12】各セルの選択順序の一例を示す説明図である。

【図 13】各セルの選択順序の一例を示す説明図である。

【図 14】各セルの選択順序の一例を示す説明図である。

【図 15】各セルの選択順序の一例を示す説明図である。

【図 16】各セルの選択順序の一例を示す説明図である。

【図 17】各セルの選択順序の一例を示す説明図である。

【図 18】各セルの選択順序の一例を示す説明図である。

【図 19】この発明の第 1 実施例を示す構成図である。

10 【図 20】第 2 実施例における各セルの電流分布を示す説明図である。

【図 21】第 2 実施例における各セルの電流分布を示す説明図である。

【図 22】第 2 実施例における各セルの電流分布を示す説明図である。

【図 23】第 2 実施例の動作を説明するグラフである。

【図 24】この発明の第 3 実施例を示す構成図である。

【図 25】第 2 実施例における各セルの電流分布を示す説明図である。

20 【図 26】第 2 実施例における各セルの電流分布を示す説明図である。

【図 27】第 3 実施例の動作を説明するグラフである。

【図 28】従来の技術の動作を説明するグラフである。

【図 29】従来の技術を示す構成図である。

【図 30】従来の技術を示す構成図である。

【図 31】従来の技術を示す等価回路である。

【図 32】従来の技術を示す等価回路である。

【図 33】従来の技術における各セルの電流分布を示す説明図である。

30 【図 34】従来の技術における各セルの電流分布を示す説明図である。

【符号の説明】

1 0 1 ~ 1 0 5, 1 1 1 ~ 1 1 5, 1 2 1 ~ 1 2 5, 1

3 1 ~ 1 3 5, 3 0 1 ~ 3 0 2, 3 1 1 ~ 3 1 2, 3 2

1 ~ 3 2 4 アナロググランド線

2 0 1 a ~ 2 0 5 a, 2 0 1 b ~ 2 0 5 b 引き出し線

2 0 単位電流源

2 1 切り換えスイッチ

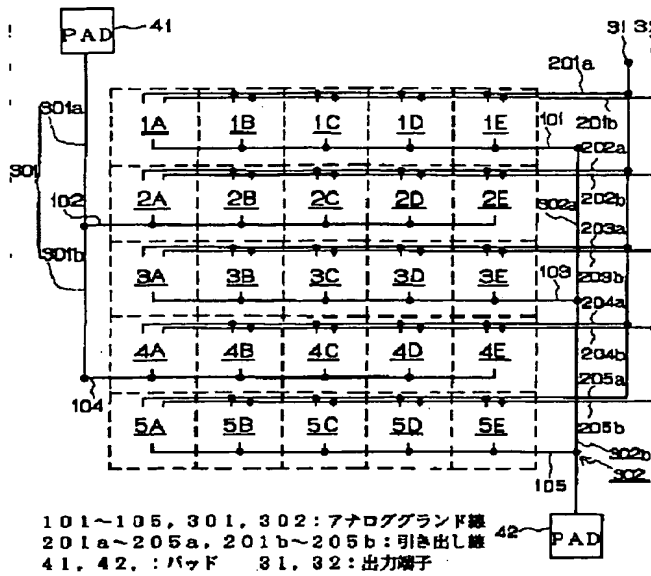
3 1, 3 2 出力端子

40 4 1 ~ 4 8 パッド

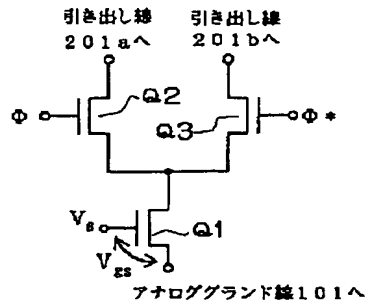
8 0 行デコーダ

9 0 列デコーダ

【図 1】



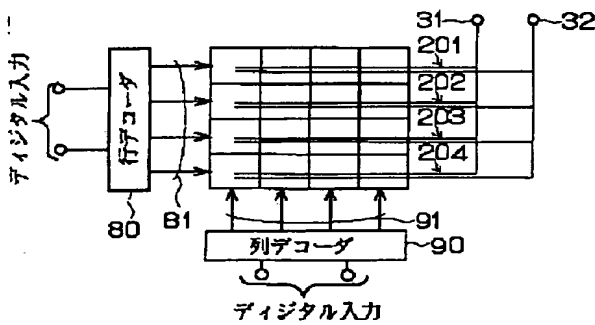
【図 2】



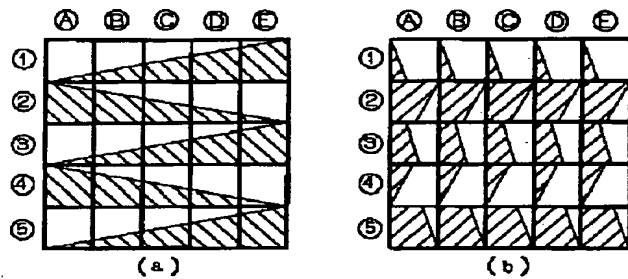
【図 6】

	A	B	C	D	E
①	2.7	3.7	4.7	5.7	6.7
②	1.0	9	8	7	6
③	4.4	5.4	6.4	7.4	8.4
④	7.8	8.8	5.5	4.5	3.5
⑤	8	7	6	5	4D

【図 3】



【図 4】



【図 7】

【図 9】

【図 5】

	A	B	C	D	E
①	1	2	3	4	5
②	5	4	3	2	1
③	1	2	3	4	5
④	5	4	3	2	1
⑤	1	2	3	4	5

(a)

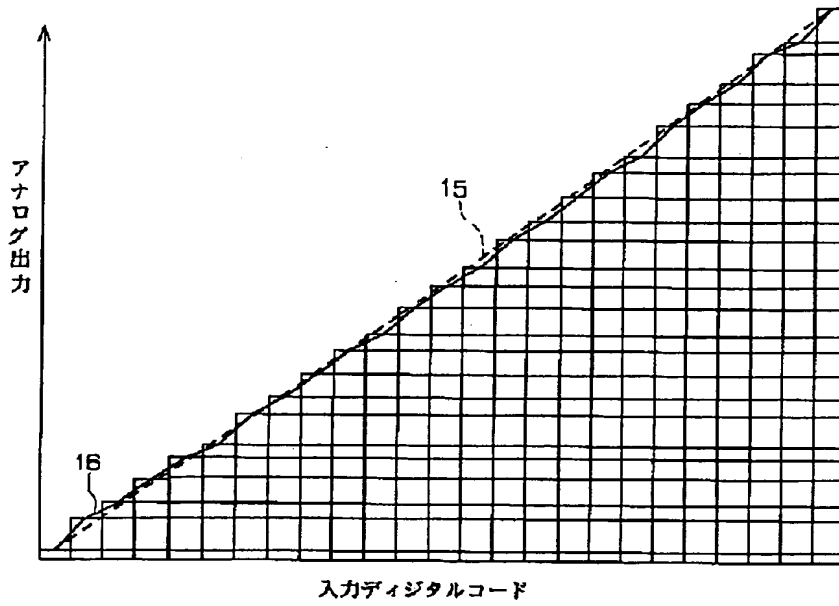
	A	B	C	D	E
①	1.7	1.7	1.7	1.7	1.7
②	5	5	5	5	5
③	3.1	3.1	3.1	3.1	3.1
④	2.5	2.5	2.5	2.5	2.5
⑤	5	5	5	5	5

(b)

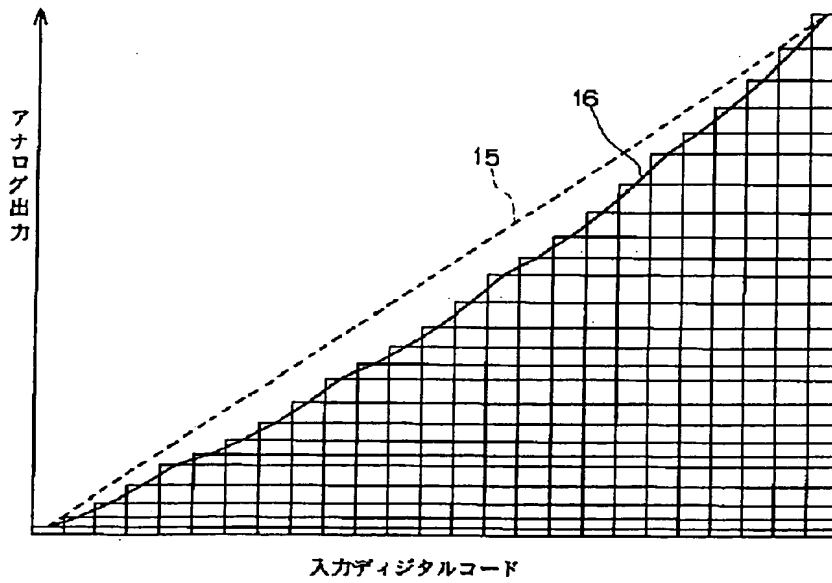
【図 15】

	A	B	C	D	E
①	4	2	1	3	5
②	14	12	11	13	15
③	24	22	21	23	25
④	18	17	16	19	20
⑤	9	7	6	8	10

【図 8】



【図 10】



【図 17】

	A	B	C	D	E
①	21	22	23	24	25
②	20	7	8	9	10
③	18	6	1	2	11
④	19	5	4	3	12
⑤	17	16	15	14	13

【図 11】

	A	B	C	D	E
①	1	2	3	4	5
②	6	7	8	9	10
③	11	12	13	14	15
④	16	17	18	19	20
⑤	21	22	23	24	25

【図 12】

	A	B	C	D	E
①	1	2	3	4	5
②	11	12	13	14	15
③	21	22	23	24	25
④	16	17	18	19	20
⑤	6	7	8	9	10

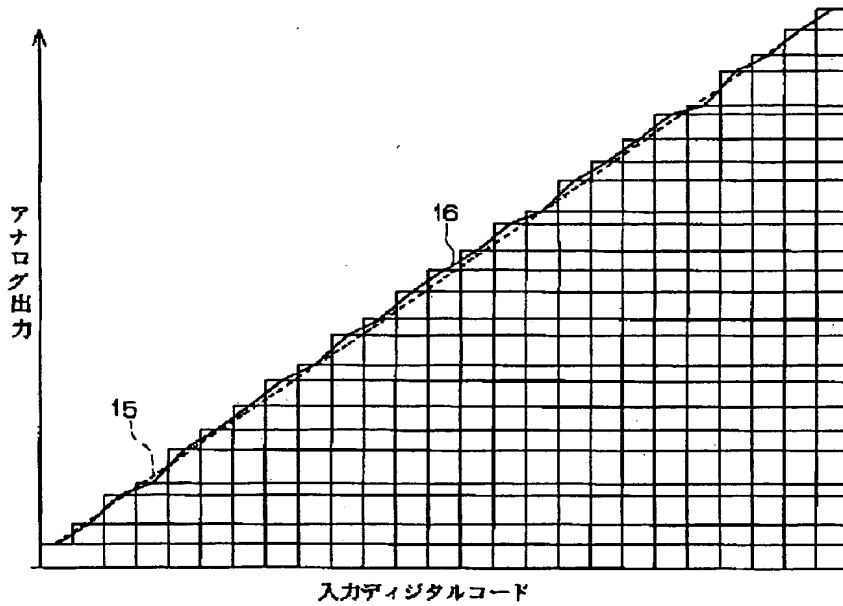
【図 13】

	A	B	C	D	E
①	1	11	21	16	6
②	2	12	22	17	7
③	3	13	23	18	8
④	4	14	24	19	9
⑤	5	15	25	20	10

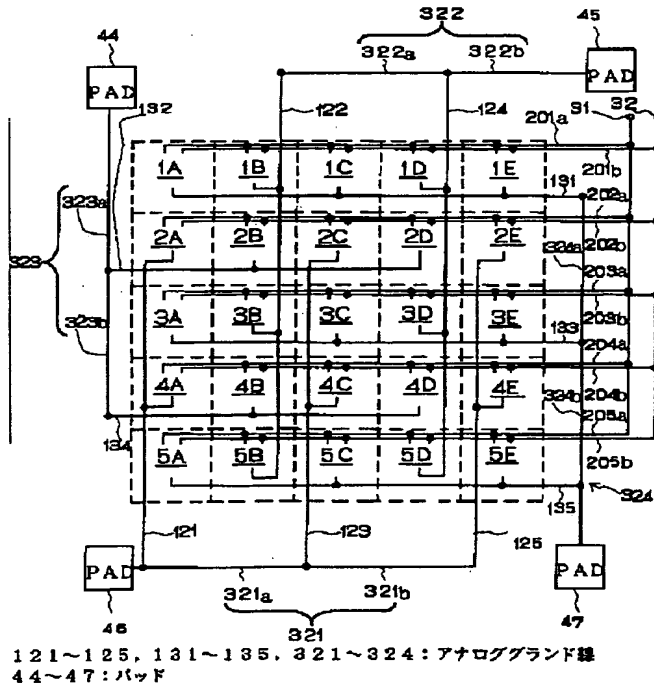
【図 14】

	A	B	C	D	E
①	4	14	24	19	9
②	2	12	22	17	7
③	1	11	21	16	6
④	3	13	23	18	8
⑤	5	15	25	20	10

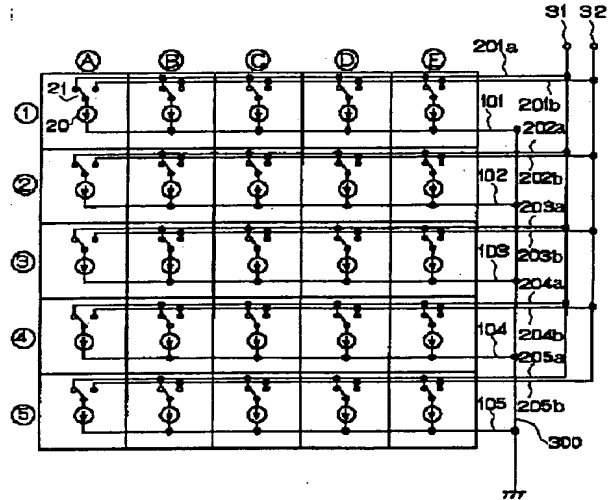
【図23】



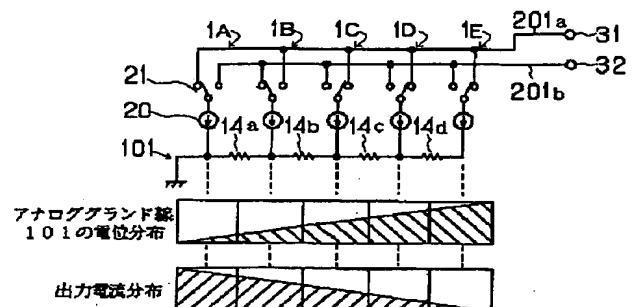
【図24】



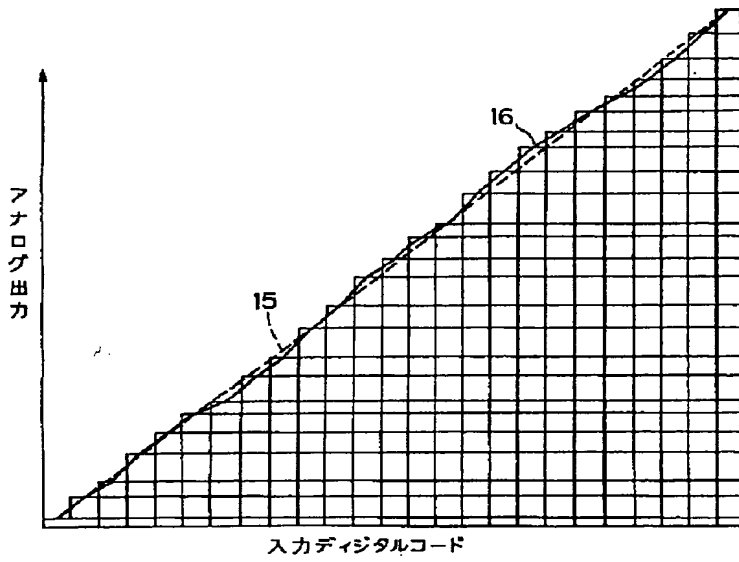
【図29】



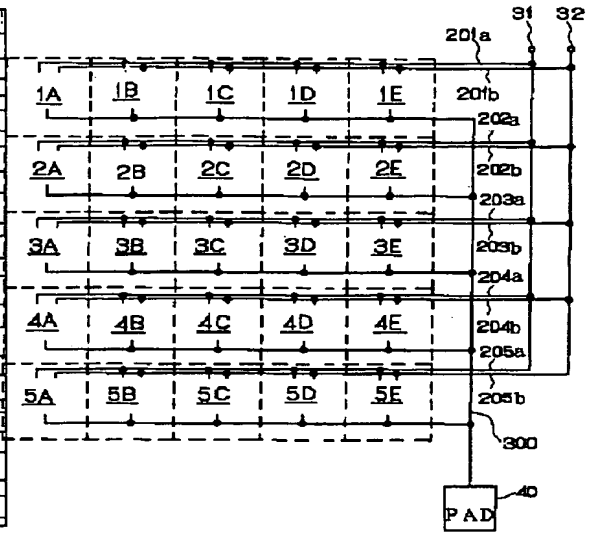
【図32】



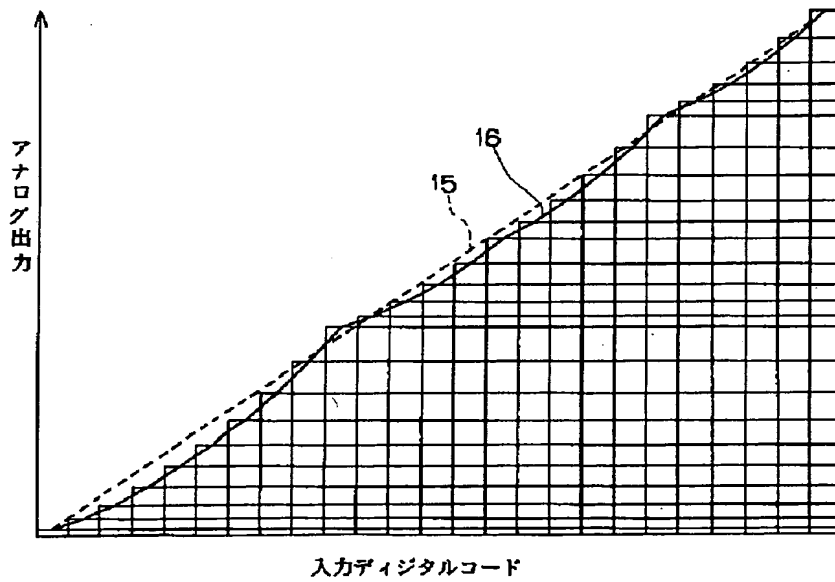
【図27】



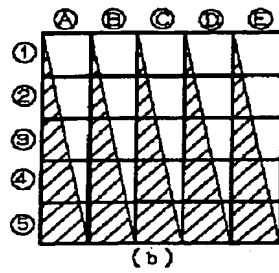
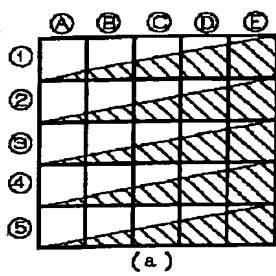
【図30】



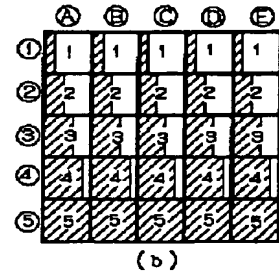
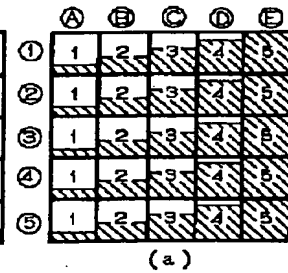
【図28】



【図33】



【図34】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.